

‘This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083301

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. H03H 19/00

(21)Application number : 07-230557

(71)Applicant : YAMAHA CORP

(22)Date of filing : 07.09.1995

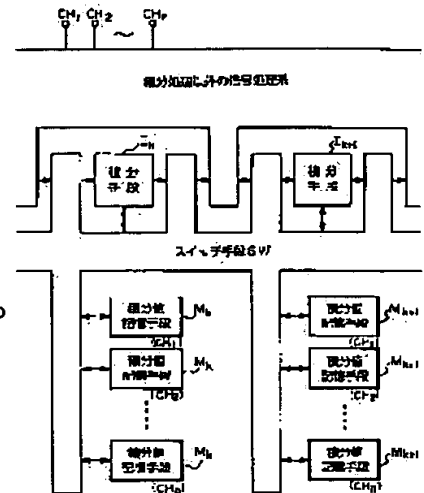
(72)Inventor : MAEJIMA TOSHIO

(54) SWITCHED CAPACITOR FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To apply the filter process to the analog signals of plural channels without increasing the circuit scale.

SOLUTION: The integration means Ik and Ik+1 successively carry out the integration processing constituting the filter processing to every channel via the time division control. The integration value storage means Mk to Mk+1 store the integration value signals to show the integration processing results to every channel. A switch means SW functions to store the integration value signals in the means Mk to Mk+1 to show the integration processing results to every channel every time the integration processing is interrupted to every channel and also to initialize the integration processing results of means Ik and Ik+1. The means SW also functions to supply the integration value signals corresponding to every channel to the means Ik and Ik+1 from the means Mk to Mk+1 every time the integration processing is carried out to every channel and also to supply the analog signals to be integrated to the means Ik and Ik+1.



Ain2からなる。
[0018]クロック回路60は、このフィルタ内の各部の動作タイミングを制御し、かかるタイミングに必要なクロックa、b、c、d、ac、bd、b1、b2、d2、bbおよびddを出力する。これらのクロックの波形を図5のタイミングチャートに示す。

【0019】入カスアッチドキヤビシタ部11～14は、各々入カアナログ信号のレベルに依りた電流を出力する手段である。上述べた入カスアッチドキヤビシタ部のうち第1チャネルの正相値An1Pは入カスアッチドキヤビシタ部11へ、第2チャネルの正相値An2Pは入カスアッチドキヤビシタ部12へ、第1チャネルの逆相信号An1Nは入カスアッチドキヤビシタ部13へ、第2チャネルの逆相信号An2Nは入カスアッチドキヤビシタ部14へ各々供給される。また、入カスアッチドキヤビシタ部11および12から出力される電流は番号線LN以下、逆相信号线LN以下に供給され、一方、入カスアッチドキヤビシタ部13および14から出力される電流は番号線LN以上、逆相信号线LN以上に供給される。

【0020】各入カススイッチキタキャパクタ部の構成について説明すると、まず、入カススイッチキタキャパクタ部11は、1個のキタキャパクタC4と4個のアナログスイッチS11～S114により構成される。ここで、アナログスイッチS11およびS113は、クロックC4により導通状態とされる。これらのアナログスイッチが導通状態となることにより、アナログスイッチS11～S114により導通状態とされる。このアノログスイッチS113ー基準電源Vrefという信号線路が形成され、この信号線路を介することによって、アナログ信号Ain1Pのレベルに反応した電荷がキタキャパクタC4に保持される(サンプリング動作)。また、アナログスイ

[illegible]

(0022)本実施形態において、各入力スイッチキヤンセル部は、チャネル毎に異なるタイムスロットで動作が制御されるものであり、第1チャネルに対応した入カスイッチキヤンセル部11およびクロック11によってサンプリング動作が行われる。第2チャネルに対応した入カスイッチキヤンセル部12およびクロック12によってサンプリング動作が行われ、なお、サンプリング動作に関しては各チャネルとも同一タイムスロットで行うようにも構わない。また、出力動作は、第1チャネルに対応した入カスイッチキヤンセル部11およびクロック11によって行われ、第2チャネルに対しては、入カスイッチキヤンセル部12およびクロック12によって行われる。

(0023)集分岐40は、差動増幅器41と、キヤンセルC7、C8、C17およびC18と、アナログスイッチS401〜S410とにより構成されている。ここで、差動増幅器41の反転入力端は正相入力端に接続されており、正転入力端は逆相入力端に接続されている。また、差動増幅器41の正転出力端および反転出力端は各々信号線MPおよびMIN(以下、正相出力線MPおよび逆相出力線MNPという。)に接続されている。

[0024] 積分用キャパシタおよびC7は、差動増幅器1の反転入力端と正転入力端とを出力力端との間および正転入力端と反転出力力端との間に各々接続されている。また、本発明形態型1においてはクロックφ_{pd}が出力力端として期間に積分動作が行われるが、この積分動作の期間、キャパシタC18はアナログスイッチS402およびS405を介して積分用キャパシタC8に並列接続され、キャパシタC17はアナログスイッチS407およびS410を介して積分用キャパシタC7に並列接続され、キャパシタC19はアナログスイッチS408およびS411を介して積分用キャパシタC6に並列接続される。

る。
[0025] 以上の構成により、変動増幅器41の正転入力端および反転入力端の電位を基準電圧Vrefのレベルに維持した状態で両入力端に入力される信号の増分が行われ、正転入力端子を介して供給される全電荷が積分用キャパシタC8に蓄積され、並列入力線14の線電位を介して供給される全電荷が積分用キャパシタC7に蓄積される。この結果、増分値は正転入力線14の線電位と反転入力線15の線電位とが逆相となる。この場合、増分値は増分増幅器42の増幅率に相当する。

[0026]また、アナログレジスタC7、C8、C17およびC18の両端を短絡し、積分値をAOにすると初期化アナログ状態とされるものであり、キャパシタC7、C8、C17およびC18の両端を短絡し、積分値をAOにする初期化アナログ状態とされるものである。このように積分出力線MNIにより、正相成分に相当するものと逆相成分に相当するものに分断されて各部に供給され、各部はそれぞれ異なる処理を行う。

[0027]この積分部40は、時分割制御の下、第1チャネルおよび第2チャネルに対応した各積分処理を順次繰り返して実行するものである。このような積分処理の時分割制御を可能にするため、本実施形態においては、以下の手段を備えてい

【0028】。実行中の積分処理を中断する場合には、積分部40の積分値を t に初期化し、その次の積分処理に積分部40を明示す。上述した初期化は、プロセッサS18の、その中断時点まで t で持たれた積分処理を記憶して、その次の積分処理を開始する際には、その積分処理を積分部4021に与え、中断時点の積分部401に与え、これを可能にするための手段が、図4における第1積分値記憶部21~24および第2積分値記憶部31~34である。

【0030】これらの積分値記憶部は、積分部40が行う各積分処理毎に積分部40を記憶する手段である。本実施形態では、第1チャネルおよび第2チャネルに対応した積分処理を行うことにより、各チャネルに対応したフィルタ処理を行う形態であり、第1チャネルに対応した積分処理を意味する正相の信号は、第1積分値記憶部21および第2積分値記憶部31に、同相信号を表す逆相の信号は、第2積分値記憶部22および第2積分値記憶部32に、同相信号を表す逆相の信号は、第1積分値記憶部23および第2積分値記憶部33に、同相信号を表す逆相の信号は、第1積分値記憶部24および第2積分値記憶部34に各々記憶される。

[0031]各種記憶配線部の構成について説明すると、まず、第1種分値記憶部21は、上述した入力カスミナドはキャビタッドと同様、1個のキャビタC6と4個のアナログスイッチS211~S214によって構成される。ここで、アナログスイッチS211およびS213は、1個のキャビタC6と4個のアナログスイッチS211~S214によって導通状態となることにより、正出力経路MPーアナログスイッチS211ーキャビタC6ーアナログスイッチS213ー基準電源Vrefとなることができ、形成され、正出力経路を介することにより、積分電圧を蓄える信号の正相成分に相当する電荷がキャビタC6に保持されることとなる。また、アナログスイッチS212およびS214は、クロックb2によらず導通状態であり、これらのアナログスイッチが導通状態とされることにより、形成されるこの番号経路を介することにより、キャピタC6ーアナログスイッチS214ー正相入力線LPIという信号経路が形成される。この番号経路を介することにより、キャピタC6に保持された電荷が逆性の反転させた状態で正相入力線LPIに供給される。このようにクロックb1が出力されることによって積分値のサンプリングが行われ、クロックb2が出力されることにより当該積分値と等価な電荷が逆性の反転した状態で正相入力線LPIに供給されるのである。

(0032)第2積分値記憶部31も、上記第1積分値記憶部21と全く同様な構成であり、1個のキャパシタC5と4個のアンプ回路を有している。しかしながら、この第2積分値記憶部31におけるクロックφ₁およびφ₂の累す役割は、第1積分値記憶部21におけるクロックφ₁およびφ₂の累す役割とは異なる。

分値記憶部21の場合と逆になっている。このため、クロックb1が出力されることにより、正相出力線MP上の電圧が第1相分値記憶部21のキャパシタC6に印加されると同時に第2相分値記憶部31のキャパシタC5に保持された電荷が正相出力線LPへ供給される。また、クロックb2が出力されることにより、正相出力線MP上の電圧が第2相分値記憶部31のキャパシタC5に印加されると同時に第1相分値記憶部21のキャパシタC6に保持された電荷が正相出力線LPへ供給される。

「0033」他の積分値記憶部も、これらの第1積分値記憶部21および第2積分値記憶部31と全く同様であり、1個のキヤノニカルな4個のアナログスイッチ24により構成されている。各キヤノニカルな名称および各アナログスイッチの導通制御を行うクロックの名称は図示の通りである。

【0034】出力部50は、積分部40から順次得られる各チャネルに対応した出力信号を非平行な信号に変換し、各チャネルに出力される手段である。ここで、抵抗R1、R4と変動増幅器51は、積分部40の出力信号を抵抗R1～R4により決定した出力信号に変換する手段を構成している。また、アナログスイッチS501とキャパシタC9は、変動増幅器51の出力信号のうちの第1チャネルに対応した信号を取り込んで保持するサンプルホールド回路を構成しており、アナログスイッチS502とキャパシタC10は、第2チャネルに対応した信号を取り込んで保持するサンプルホールド回路を構成している。そして、第1チャネルに対応したサンプルホールド回路のサンプリング動作はクロックbbaによって行われ、第2チャネルに対応したサンプルホールド回路のサンプリング動作はクロックbbbによって行われるようにしている。そして、第1チャネルに対応したサンプルホールド回路の出力信号はバッファ52を介して信号OUT1として出力され、第2チャネルに対応したサンプルホールド回路の出力信号はバッファ53を介して信号OUT2として出力される。

[0035]本実施形態の動作について、図5にカプタミングチャートに沿って本実施形態の動作を説明する。本実施形態においては、一定のサブリング周期TS毎に、サブリング周波数をサンプリングし、その分のワット処理を行う。このワット処理のための一連の処理は、各サブリング周期で4分位の各タイムスロット単位で逐次進められる。各タイムスロットにおいて行われる処理の内容に着目した事象と見做される。そこで、以下では、連続した2個のサブリング周期(2周高周波の時間)2倍単位として同一の処理が繰り返される。そこで、以下では、連続した2個のサブリング周期TSおよび γTS からなる期間を想定し、この期間を8分位のタイムスロットSL1~SL8とし、各タイムスロットでの動作の説明を行う。

【0036】(11)タイムスロットSL1サンプリング周期TSのタイムスロットSL1においては、クロックaおよびacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図6に示すものとなり、

各部では次の動作が行われる。
 ●[0037]「入力スイッチドキヤンダ」は、第1チャネルの入力アナログ信号Ain1PおよびAin1Nのサンプリングが行われ、各アナログ信号のレベルに応じた電荷がキャパシタC8およびC11に各々保持される。
 ●[0038]「積分放電」では、キャパシタC7、C17、C8およびC18の各々の両端が初期化用アナログスイッチにより短絡され、積分放電0.0の積分放電レバに初期化が行われる。

【O339】(2) タイムスロットSL2のタイムスロットSL2においては、クロックb、b1およびb2のみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図1に示すものとなり、各部では次の動作が行われる。

【0040】■入スウィッチ部11および13においては、キャパシタC4およびC1に保持された電荷が各々極性
が反転されて正相入力線L1および逆相入力線L2に各々供給される。

【0041】第2積分値記憶部31および33においては、キャパシタC5およびC2に保持された電荷が正相入力線LPおよび逆相入力線LNに供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS₁において積分部40から

与えられたものであり、第1チャネルに対応した積分処理の積分値に相当するものである。

【0042】■積分部40においては、初期化用アナログスイッチが開放状態とされと共に積分用キャパシタC8、C18、C

7およびC18の全ての差動増幅器41に接続されるため、正相入力線LPおよび逆相入力線LNを介して供給される正相および逆相の信号は、増幅器41において増幅される。この結果、サンプリング周期TS₁における第1チャネルに対応した積分処理結果および各信号の積分が行われる。この積分値とタイムスロットSL₁における取り込んだ第1チャネルのカウント値との差分値と、サンプリング周期TS₁における第1チャネルの積分値として得られ、この積分値に相当する電圧が差動増幅器41から正相出力線MPおよび逆相出力線MNに出力される。

[0043] 第1積分値記憶部21および23においては、以上のようにして得られた第1チャネルに対応した積分処理の積分値に相当する電圧を保持する動作が行われる。すなわち、正相出力線MPPからキャパシタC6を介して基準電源Vrefに至る番号登録器が形成されるため、この番号登録を介することでより積分値の逆相成分に相当する電荷がキャパシタC6に保持される。また、逆相出力線MNNからキャパシタC7を介して基準電源Vrefに至る番号登録器が形成されるため、この番号登録を介することでより積分値の正相成分に相当する電荷がキャパシタC7に保持される。したがって、この番号登録器を介することでより積分値の逆相成分に相当する電荷がキャパシタC6に保持され、積分値の正相成分に相当する電荷がキャパシタC7に保持されることとなる。

[0044] 図6は、正相出力MPにおいては、逐相出力LINMOUTに出力された第1チャネルの逐分平衡信号が非平衡信号に変換される。この非平衡信号は、クロックbbが出力されることにより、キャパシタC91と結合され、かつ、信号OUTとして出力される。また、この非平衡信号は、クロックbbが立ち下がることに伴って、キャパシタC91に保持

【0045】(3)タイムスロットSL3このタイムスロットSL3においては、クロックおよびacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図8に示すものとなり、各節では次の動作が行われる。

【0046】■入力スイッチ部12および14においては、第2チャネルの入力アナログ信号Ain2pおよびAin2nのサンプリング方向、各アナログ信号のレベルに応じた電荷がキャパシタC14およびC11に各々保持される。C17、C8およびC18の各々の両端が初期化用アナログスイッチによって短絡され、積分部40の積分値は0に初期化される。

このため、クロックの出力については各アナログスイッチの状態は図9に示すものとなり、各部のクロックは出力されない。クロックd、bd、d1およびddのみが出力され、他のクロックは出力されない。このタイミングスロットSL4においては、クロックd、bd、d1およびddのみが出力され、他のクロックは出力されない。このタイミングスロットSL4においては、クロックd、bd、d1およびddのみが出力され、他のクロックは出力されない。

種性が反転されて正相入カ線LPおよび逆相入カ線LNに各々供給される。
 [0050] 第2積分記憶部32および34においては、キャパシタC15およびC16において正相入カ線LPおよび逆相入カ線LNに供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS₁において積分部40から出力される。
 [0051] 図10は、積分部40の内部構成を示す。積分部40は、正相入カ線LPおよび逆相入カ線LNに各々供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS₁において積分部40から出力される。
 [0052] 図11は、積分部40の内部構成を示す。積分部40は、正相入カ線LPおよび逆相入カ線LNに各々供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS₁において積分部40から出力される。

【0051】■積分部40)においては、初期化用アナログスイッチが開放状態とされ、共に積分用キャパシタC8、C18、C7およびC18の各々が差動増幅器41に接続される。この結果、サンプル周期T_Sにおける第2チャネルに於て供給された積分処理おおよそ一定となる。また、積分部40において、正相入力線Pおよび逆相入力線Nを介して供給された積分処理は、積分部40の出力として出力される。すなわち、積分部40の出力は、次のように表わされる。

の積分値とタイムスロットSL31において取り込んだ第2チャネルの入力アナログ信号とを加算したものが今回のサンプリング周期およびその後の第2チャネルの積分値として得られ、この積分値に相当する電圧が変動増幅器41から正相出力線MPOおよび逆相出力線MNIに出力される。

【0052】■第1種分直記憶部22および24

[illegible]

[0053] 出力部50においては、正相出力線MPおよび逆相出力線MNから出力されるクロック信号C10に与える平衡信号を非平衡信号に変換する。この非平衡信号は、クロックC10と立ち下がることによりキャパシタC10に蓄えられ、信号OUT2として出力される。また、この非平衡信号は、クロックC10が立ち下がることによりキャパシタC10に保持され、信号OUT2として出力される。

【0054】タイムスロットSL5サンプリング周期 T_{SL5} のタイムスロットSL5においては、上述したタイムスロットSL1と同様、クロック ϕ の出力がなされ、各部のクロックは行われる。このため、クロックの出力によって各アナログスライダの状態を図10に示すものとなり、各部では次の動作が行われる。

【0055】■入カス イツチドキ サバシタ 朝11おト13に おイデは 西

リングが行われ、各アナログ信号のレベルに応じた電荷がキャパシタC4およびC11に各々保持される。

■積分部40においては積分値が0とされる。

【0056】(6) タイムスロットSL6このタイムスロットSL6においては、クロックb、bd、b2およびbbのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図11に示すものとなり、各脚では次の動作が行われる。

【0057】■入カスィツドキヤバシタ部11および13においては、キャパシタC4およびC1に保持された電荷が各々極性が反転されて正相入力線L1Pおよび逆相入力線L2Nに各々供給される。

【0058】■第1積分値記憶部21および23においては、キャパシタ62

よび逆相入カ線LNIに供給される。これらの各キャパシタの保持電荷は、サンプリング周期TSにおいて積分部40から与えられた第1キャパシタに対応した積分値である。

【0059】■ 簿分類401に科入ては、正相入を
えらばた第1子や米/ルに對比した積方置であ

[illegible]

「**日本銀行の貸付は、**」

線MNに出力される。

【0060】■第2積分値記憶部31および33においては、以上のようにし

図 10 出力値をチャネル 5 に保持する動作が行われる。
(0061) 出力値 521 に保持する逆相出力線 MN 間に出力された第 1 チャネルの積分値を表す
平衡信号が非平衡信号に変換され、信号 OUT₁ として出力される。
平衡信号の出力は、図 11 のように、出力値 521 に保持される。

と実質的に同じであり、第1積分値記憶部21および第2積分値記憶部31および33の果す役割が入れ替わっている点のみが相違している。

【0063】(7) タイムスロットSL7はこのタイムスロットSL7においては、上述したタイムスロットSL3と同様、クロックおよびacの出力が行われ、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図12に示すものとなり、各段では次の動作が行われる。

【0064】■入カズイ…手ドキヤパンタ部12および11A-において、面11Cにボルト10が、日曜には欠の動作が行われる。

■ 積分回路においては積分値が10とされる。

■横方部40において、では横方部が0とされる。
【0065】(8)ダイヤノズワット318-0ダイヤノズ

他のクロック出力は出力されない。このため、各クロックの発生により、各アナログスイッチの状態は図13に示すものとなり、各部

では次の動作が行われる。

極性が反転されて正相入力線LPおよび逆相入力線LNに各々供給される。

お上り御相入力割NIニ供給されるニレ

および逆相入線CNIに供給される。これらの各チャネルの保持電圧は、サンプリング周期 T_s において積分部40から与えられた第2チャネルの積分値である。

【0668】■積分部40においては、正相入力線Pおよび逆相入力線Nを介して供給される上記■および■の各信号の積分が行われる。この結果、サンプリング周期TSにおける第nマサネリにおいて「1」を積分処理したタプル・アップ

トSL7)において取り込んだ第2チャネルの入力アナログ信号とを加算したものが今回のサンプリング周期T_{SL}に於ける第2チャネルにおける第2チャネル周知1st)における第2チャネルの出力アナログ信号である。この結果、サンプリング周期T_{SL}に於ける第2チャネルの出力アナログ信号は、第2チャネルの周知1st)に於ける第2チャネルの出力アナログ信号と、第2チャネルの周知2nd)に於ける第2チャネルの出力アナログ信号とを加算した第2チャネルの周知2nd)に於ける第2チャネルの出力アナログ信号となる。

第2千やネルの積分値より得られ、一の積分値に相当する電圧が第2千

線MNに出力される。

【0069】■第2積分値記憶部32および34においては、以上のようにし

■出力値50においては、正相出力機MPおよび逆相出力機MN間に出カされた電圧を、その出力値を基準とする電圧を基準とする電圧をキャパシタC15およびC12に保持する動作が行われる。

が非平衡状態に遷移され、慣性QUTとして出力される。

【0070】このように、タイムスロットSL8における処理内容は、実質的にタイムスロットSL4での処理内容と同じであり、タイムスロットSL8に属する8つのスロットのうち、4つのスロットは、タイムスロットSL4に属する4つのスロットと同一の処理内容となる。

【0071】以後、同様にタイムスロットSL1～SL8に対応した各処理が繰り返実行され、第1チャネルおよび第2チャネル1種分直記応部22および24と第2種分直記応部32および34の集束位置が入れ替わっているのみである。

ルに対応した積分処理が定められ、これらの積分処理の結果を使用して各チャネルに対応した各フィルタ処理が進められる。

【0072】C. 他の実施形態本発明の実施形態には、以上説明したものの他、種々のものが考えられる。例えば次の通りである。

【0073】(1)上記実施形態ではアナログ信号を平衡信号とし、差動増幅器によって構成された積分部によりアナログ信号である。

号の積分を行うようにしたが、不平衡なアナログ信号を差動型でない通常の積分器で積分するようによい。

[0074] (2) 各積分処理毎に1回の積分分配制御のみを付し、この積分分配制御の保持信号を適用して積分型による

[illegible]

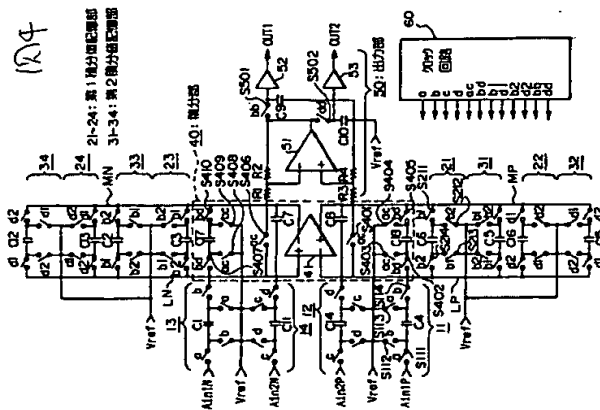
積分処理を終えた後、新たな積分値に相当する電荷を積分値記憶部に保持させるようにしてもよい。積分処理を行うタイムスロットとは別に積分値に相当するタイムスロットを設けなければならないが、積分値記憶部の数を半減させることができるという利点がある。

【0075】(3)上記実施形態よりも多くの種類の積

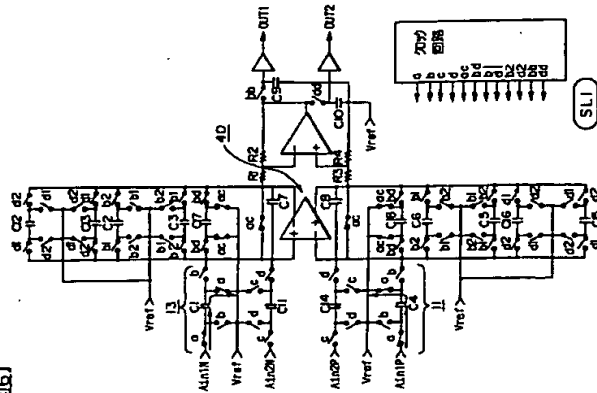
【たねばい】
【0076】

【發明の要旨】

[illegible]

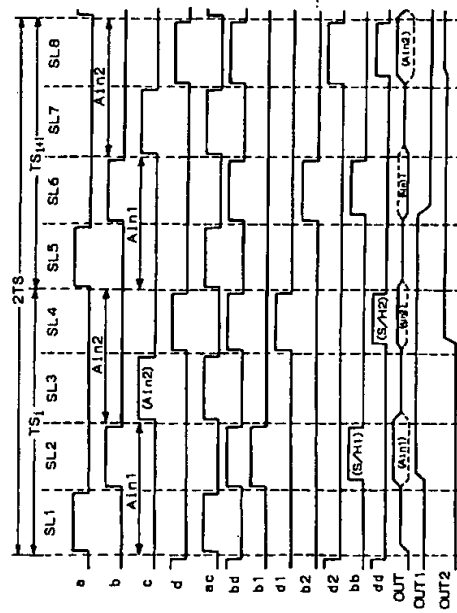


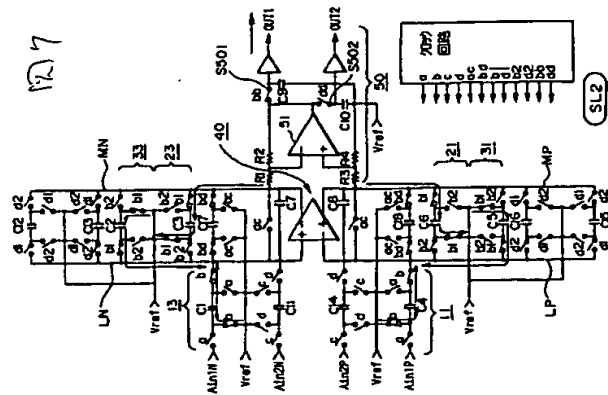
【図16】



【図7】

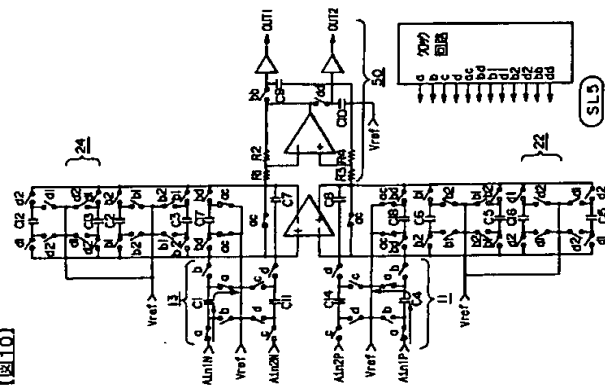
図面選択 図5





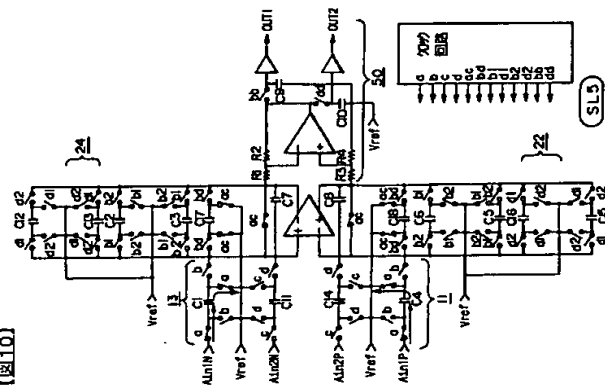
【図8】

【図10】

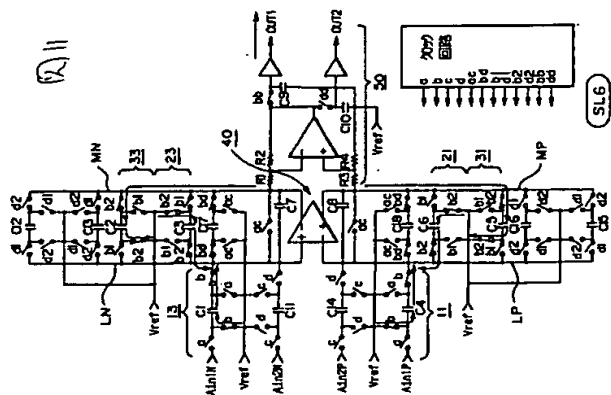


【図11】

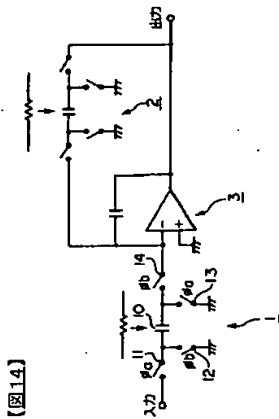
【図9】



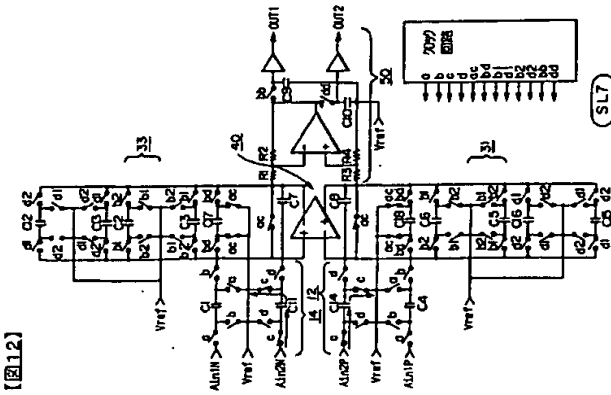
【図9】



【図12】



【図13】



【図13】